



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-335578

(43)公開日 平成5年(1993)12月17日

(51)Int.CL ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/784				
21/28	L 9055-4M			
29/40	A 9055-4M			
	9056-4M		H 01 L 29/78	3 1 1 N
	9056-4M			3 1 1 G

審査請求 未請求 請求項の数2(全5頁) 最終頁に続く

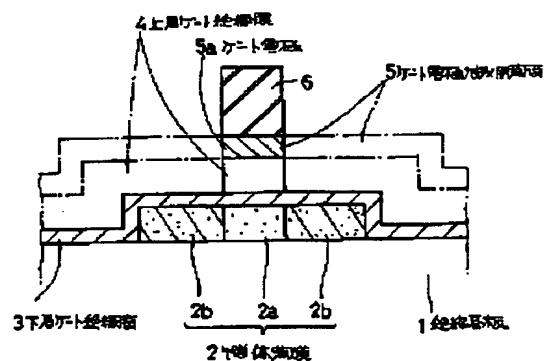
(21)出願番号	特願平4-106672	(71)出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22)出願日	平成4年(1992)6月3日	(72)発明者	小川 康一 東京都八王子市石川町2961番地の5 カシオ計算機株式会社八王子研究所内
		(74)代理人	弁理士 杉村 次郎

(54)【発明の名称】二層トランジスタの製造方法

(57)【要約】

【目的】ゲート絶縁膜の所定の部分の膜厚を制御性良くかつ容易に薄くし、またコンタクトホールの形成を所期の通りかつ容易に行う。

【構成】半導体薄膜2の上面全体に酸化シリコンからなる下層ゲート絶縁膜3、窒化シリコンからなる上層ゲート絶縁膜4およびゲート電極形成用薄膜5をこの順で堆積する。そして、フォトレジストパターン6をマスクとしてドライエッティングによりゲート電極形成用薄膜5を除去し、次いで下層ゲート絶縁膜3をエッティングストップとして、上層ゲート絶縁膜4のみを除去する。窒化シリコンからなる比較的厚いバッシベーション膜にドライエッティングによりコンタクトホールを形成する場合も、下層ゲート絶縁膜3をエッティングストップとして、バッシベーション膜のみを除去する。比較的薄い下層ゲート絶縁膜3にコンタクトホールを形成する場合には、ウエットエッティングにより行なう。



1

【特許請求の範囲】

【請求項1】 半導体薄膜上に酸化シリコンからなる下層ゲート絶縁膜を形成し、該下層ゲート絶縁膜上に酸化シリコンとは異なる材料からなる上層ゲート絶縁膜を形成し、この後前記半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の前記上層ゲート絶縁膜を前記下層ゲート絶縁膜をエッティングストップとしてドライエッティングにより除去し、この後全上面にパッシベーション膜を形成し、該パッシベーション膜に前記下層ゲート絶縁膜をエッティングストップとしてドライエッティングにより上部コンタクトホールを形成し、次いで前記下層ゲート絶縁膜にウエットエッティングにより下部コンタクトホールを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記下層ゲート絶縁膜の膜厚は200Å程度以下であり、前記上層ゲート絶縁膜の膜厚は100Å～2000Å程度であることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 セルフアライメント型の薄膜トランジスタを製造する場合、ポリシリコン等からなる半導体薄膜上にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成し、該ゲート電極をマスクとしてイオン注入装置により半導体薄膜に不純物を注入し、これによりゲート電極に対応する部分における半導体薄膜の中央部をチャネル領域とし、その両側を不純物注入領域からなるソース・ドレイン領域とし、次いで全上面にパッシベーション膜を形成し、該パッシベーション膜にコンタクトホールを形成し、該コンタクトホールにソース・ドレン電極を形成している。

【0003】

【発明が解決しようとする課題】 ところで、従来のこのような薄膜トランジスタの製造方法では、半導体薄膜上に形成されたゲート絶縁膜を介して不純物を注入していくので、不純物注入の加速エネルギーが高くなってしまう。不純物を低加速エネルギーで注入するには、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くすることが考えられる。しかしながら、この場合、ゲート絶縁膜の膜厚をエッティングにより薄くするとすると、エッティング量の制御が極めて困難であるという問題がある。また、コンタクトホールをエッティングにより形成する場合、ウエットエッティングでは、エッチレートが遅くなるばかりでなく、サイドエッチによるホール径の広がりが生じるという問題があり、一方、ドライエッティングでは、半導体薄膜の表面にダメージを与えるという問題がある。

2

この発明の目的は、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができ、またコンタクトホールの形成を所期の通りかつ容易に行うことのできる薄膜トランジスタの製造方法を提供することにある。

【0004】

【課題を解決するための手段】 この発明は、半導体薄膜上に酸化シリコンからなる下層ゲート絶縁膜を形成し、該下層ゲート絶縁膜上に酸化シリコンとは異なる材料からなる上層ゲート絶縁膜を形成し、この後前記半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の前記上層ゲート絶縁膜を前記下層ゲート絶縁膜をエッティングストップとしてドライエッティングにより除去し、この後全上面にパッシベーション膜を形成し、該パッシベーション膜に前記下層ゲート絶縁膜をエッティングストップとしてドライエッティングにより上部コンタクトホールを形成し、次いで前記下層ゲート絶縁膜にウエットエッティングにより下部コンタクトホールを形成するようにしたものである。

【0005】

【作用】 この発明によれば、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くする際、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の上層ゲート絶縁膜のみを下層ゲート絶縁膜をエッティングストップとしてドライエッティングにより除去し、下層ゲート絶縁膜をそのまま残すことができる。したがって半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができる。また、コンタクトホールを形成する際、まず比較的厚いパッシベーション膜に下層ゲート絶縁膜をエッティングストップとしてドライエッティングにより上部コンタクトホールを形成し、次いで比較的薄い下層ゲート絶縁膜にウエットエッティングにより下部コンタクトホールを形成しているので、コンタクトホールの形成を所期の通りかつ容易に行うことができる。

【0006】

【実施例】 図1～図6はそれぞれこの発明の一実施例におけるセルフアライメント型の薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、セルフアライメント型の薄膜トランジスタの製造方法について説明する。

【0007】 まず、図1に示すように、ガラス等からなる絶縁基板1の上面にポリシリコン等からなる半導体薄膜2をパターン形成する。この場合、一例として、まず絶縁基板1の上面全体にプラズマCVDによりアモルファスシリコン薄膜を500Å程度の厚さに堆積し、次いでエキシマレーザを照射することにより、アモルファスシリコン薄膜を結晶化してポリシリコン薄膜とし、次い

でフォトリソグラフィ技術により不要な部分のポリシリコン薄膜をエッティングして除去することにより、薄膜トランジスタ形成領域のみに半導体薄膜2をパターン形成する。次に、全上面にスパッタ装置により酸化シリコンからなる下層ゲート絶縁膜3を200Å程度以下の厚さに堆積する。次に、下層ゲート絶縁膜3の上面全体にプラズマCVDにより窒化シリコンからなる上層ゲート絶縁膜4を1000~2000Å程度の厚さに堆積する。次に、上層ゲート絶縁膜4の上面全体にスパッタ装置によりクロム等からなるゲート電極形成用薄膜5を500Å程度の厚さに堆積する。次に、半導体薄膜2の中央部(チャネル領域)に対応する部分のゲート電極形成用薄膜5の上面にフォトリソグラフィ技術によりフォトレジストパターン6を形成する。

[0008] 次に、図2に示すように、フォトレジストパターン6をマスクとしてドライエッティングによりゲート電極形成用薄膜5を除去し、次いで同フォトレジストパターン6をマスクとしてドライエッティングにより上層ゲート絶縁膜4を除去する。上層ゲート絶縁膜4を除去する場合、例えば平行平板式プラズマエッティング装置を用い、圧力0.8Torr、RF電力密度0.37W/cm²、電極間隔5.5mmの条件下でCF₄と5%のO₂との混合ガスでエッティングを行う。すると、ポリシリコンからなる半導体薄膜2に対する選択比は2程度しか得られないが、酸化シリコンからなる下層ゲート絶縁膜3に対しては30以上の高い選択比が得られるので、下層ゲート絶縁膜3をエッティングストップとして、半導体薄膜2にダメージを与えることなく、上層ゲート絶縁膜4のみを容易にエッティングして除去することができる。そして、この状態では、半導体薄膜2を含む絶縁基板1の全上面に下層ゲート絶縁膜3がそのまま残存し、半導体薄膜2の中央部(チャネル領域)に対応する部分の下層ゲート絶縁膜3の上面にのみ上層ゲート絶縁膜4が残存し、この残存した上層ゲート絶縁膜4の上面にのみゲート電極形成用薄膜5が残存し、この残存しているゲート電極形成用薄膜5によってゲート電極5aが形成されている。

[0009] 次に、フォトレジストパターン6をマスクとしてイオン注入装置により半導体薄膜2に不純物を注入し、半導体薄膜2のチャネル領域2aの両側にソース・ドレイン領域2bを形成する。この場合、半導体薄膜2のチャネル領域2aの両側のソース・ドレイン領域2bとなる部分の上面には膜厚200Å程度以下の酸化シリコンからなる下層ゲート絶縁膜3のみが形成されているので、不純物としてリンイオンを注入するとすると、30keV程度の低加速エネルギーで注入することができ、したがってイオン注入装置のコストを低減することができ、また半導体薄膜2に与えるダメージを小さくすることができる。次に、エキシマレーザを照射し、注入した不純物を活性化する。この後、フォトレジストパ

ーン6を除去する。なお、不純物を注入する前にフォトレジストパターン6を除去し、ゲート電極5aをマスクとして不純物を注入するようにしてもよい。

[0010] 次に、図3に示すように、全上面にプラスマCVD法により窒化シリコンからなるパッシベーション膜7を3000Å程度の厚さに堆積する。この場合、半導体薄膜2の表面を覆っている下層ゲート絶縁膜3の上面にパッシベーション膜7を形成することになるので、下層ゲート絶縁膜3および上層ゲート絶縁膜4からなるゲート絶縁膜の絶縁耐圧が低下しないようにすることができる。次に、半導体薄膜2のソース・ドレイン領域2bに対応する部分を除くパッシベーション膜7の上面にフォトリソグラフィ技術によりフォトレジストパターン8を形成する。

[0011] 次に、図4に示すように、フォトレジストパターン8をマスクとしてドライエッティングによりパッシベーション膜7を除去して上部コンタクトホール9を形成する。この場合、図2に示す製造工程において上層ゲート絶縁膜4をプラズマエッティングした場合と同様の条件でプラズマエッティングを行うと、ポリシリコンからなる半導体薄膜2に対する選択比は2程度しか得られないが、酸化シリコンからなる下層ゲート絶縁膜3に対しては30以上の高い選択比が得られるので、下層ゲート絶縁膜3をエッティングストップとして、半導体薄膜2にダメージを与えることなく、パッシベーション膜7のみを容易にエッティングして除去することができる。

[0012] 次に、図5に示すように、フォトレジストパターン8をマスクとしてウエットエッティングにより下層ゲート絶縁膜3を除去して下部コンタクトホール10を形成する。この場合、例えばバッファードフッ酸溶液にてエッティングを行うと、酸化シリコンからなる下層ゲート絶縁膜3の膜厚が200Å程度以下と薄いので、サイドエッチがほとんど進行せず、また半導体薄膜2にダメージを与えることなく、下部コンタクトホール10を所期の通りかつ容易に形成することができる。そして、この状態では、半導体薄膜2のソース・ドレイン領域2bに対応する部分におけるパッシベーション膜7および下層ゲート絶縁膜3にコンタクトホール9、10が形成される。この後、フォトレジストパターン8を除去する。次に、図6に示すように、コンタクトホール9、10およびパッシベーション膜7の上面の所定の個所にスパッタ装置によりアルミニウム等からなるソース・ドレン電極11を5000Å程度の厚さにパターン形成し、ソース・ドレン領域2bと接続させる。かくして、セルフアライメント型の薄膜トランジスタが製造される。

[0013]

[発明の効果] 以上説明したように、この発明によれば、半導体薄膜のうちソース・ドレン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くする

5

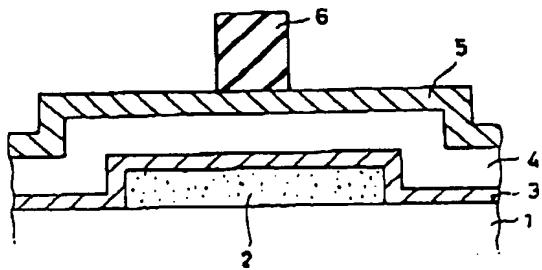
際、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の上層ゲート絶縁膜のみを下層ゲート絶縁膜をエッティングストップとしてドライエッチングにより除去し、下層ゲート絶縁膜をそのまま残すことができる。また、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができる。また、コンタクトホールを形成する際、まず比較的厚いパッシベーション膜に下層ゲート絶縁膜をエッティングストップとしてドライエッチングにより上部コンタクトホールを形成し、次いで比較的薄い下層ゲート絶縁膜にウエットエッティングにより下部コンタクトホールを形成しているので、コンタクトホールの形成を所期の通りかつ容易に行うことができる。

【図面の簡単な説明】

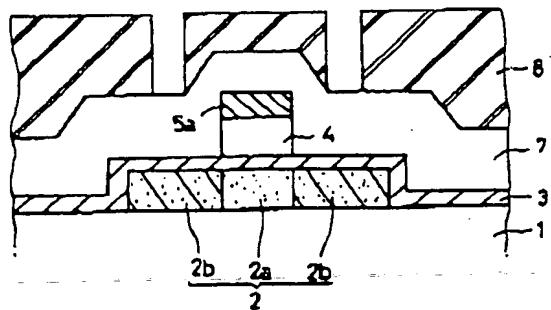
【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板上に半導体薄膜、下層ゲート絶縁膜、上層ゲート絶縁膜、ゲート電極形成用薄膜およびフォトレジストパターンを形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、フォトレジストパターンをマスクとしてゲート電極形成用薄膜および上層ゲート絶縁膜をエッティングして除去した後、半導

【図1】



【図3】



6

体薄膜に不純物を注入した状態の断面図。

【図3】同薄膜トランジスタの製造に際し、パッシベーション膜およびフォトレジストパターンを形成した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、フォトレジストパターンをマスクとしてパッシベーション膜に上部コンタクトホールを形成した状態の断面図。

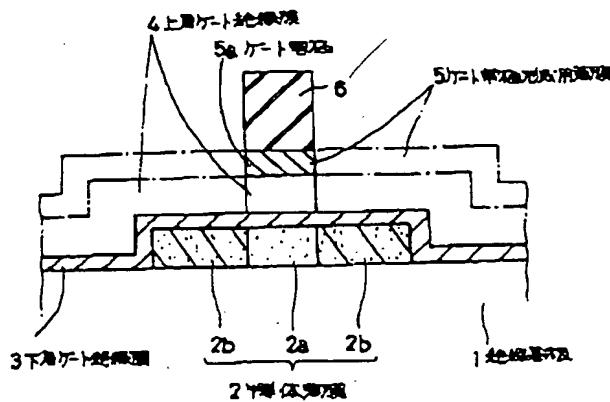
【図5】同薄膜トランジスタの製造に際し、フォトレジストパターンをマスクとして下層ゲート絶縁膜に下部コンタクトホールを形成した状態の断面図。

【図6】同薄膜トランジスタの製造に際し、ソース・ドレイン電極を形成した状態の断面図。

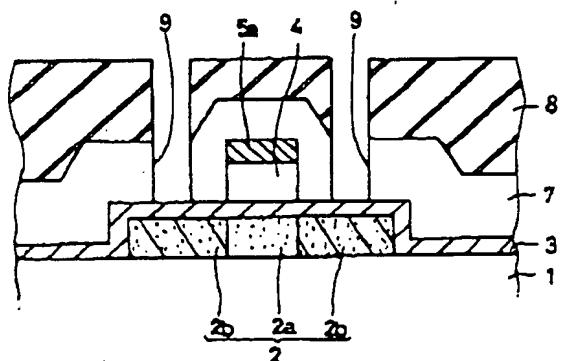
【符号の説明】

- 1 絶縁基板
- 2 半導体薄膜
- 3 下層ゲート絶縁膜
- 4 上層ゲート絶縁膜
- 5 ゲート電極形成用薄膜
- 5a ゲート電極
- 7 パッシベーション膜
- 9 上部コンタクトホール
- 10 下部コンタクトホール

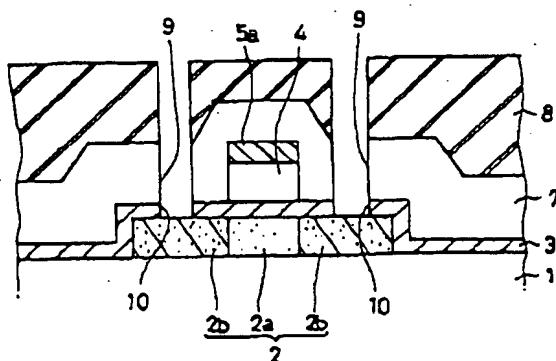
【図2】



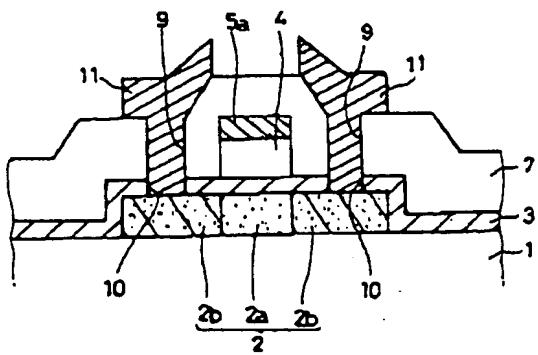
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.5

// H01L 21/314
21/318

識別記号 庁内整理番号

M 7352-4M
B 7352-4M

F I

技術表示箇所